산화물 TFT 기술 동향

황치선, 조성행
(한국전자통신연구원 ICT창의연구소 실감소자원천연구본부)

1. 서 론

산화물 TFT는 2000년대 초부터 본격적으로 개발되기 시작한 TFT로 비정질 상태에서도 비정질 Si대비 높은 이동도를 보이는 특성과 낮은 채널 누설 전류라는 특징 때문에 주목을 받게 되었고, 이제는 OLED TV를 비롯한 여러 제품에서 백플레인용 소자로 이용되고 있다.

특히 OLED TV의 경우에는 비정질 Si TFT를 백플레인 소자로 사용했던 시도가 성공하지 못했던 것을 산화물 TFT를 이용하여 성공함으로써 산화물 TFT의 킬러 응용처로 자리 잡았다고 할 수 있다. 최근에는 LTPO (LTPS Oxide TFT)가 애플워치에 사용되면서 향후 저전력을 필요로 하는 모바일 디스플레이에 LTPS와 하이브리드 형태로 사용될 가능성이 더욱 커지고 있다. 최근에는 삼성디스플레이에서도 HOP (Hybrid Oxide and Polycrystalline silicon)이라는 명칭으로 LTPS와 산화물 TFT의 하이브리드 형태 기술을 개발하여 갤럭시 노트에 적용할 예정이라는 보도도 나오고 있다. 이러한 추세는 산화물 반도체가 가지는 넓은 밴드갭에 기인한 낮은 채널 누설 전류 특성에서 기인되었다고 할 수 있다.

산화물 TFT는 채널층에 사용되는 금속 산화물에서 금속의 종류를 바꿈으로써 특성 개선이 가능하며, 현재 가장 널리 사용되는 IGZO 이외에 수많은 금속의 조합으로 이루어진 금속 산화물 반도체가 연구되었다. 향후 이동도가 100 ㎠/Vs를 상회하는 고이동도 산화물 TFT가 개발될 경우 산화물 TFT의 적용 범위는 더욱 확대될 것으로 보인다. 산화물 TFT는 기본 구조가 단순하고 결정화와 같은 고난이도의 공정이 필요 없어 다양한 구조로 변형이 가능하고 기능성의 부여 또한 가능하다. 또한 LTPO와 같이 다른 종류의 TFT와의 조합 또한 비교적 용이하다.

본고에서는 이러한 산화물 TFT의 기술 동향을 살펴보고 특히, 디스플레이 이외의 분야에서 산화물 TFT의 발전 가능성에 대해서도 알아보기로 한다.

그림 1. 산화물 TFT가 적용된 대표적 제품인 OLED TV (좌)와 애플워치 5 (우)

2. 산화물 TFT의 고성능화 기술

2.1. 고이동도 산화물 TFT 기술

현재 산화물 TFT가 poly Si TFT에 비하여 가장 크게 뒤떨어지는 특성은 이동도 특성이다. LTPS TFT

는 결정의 크기에 따라 이동도가 100~200 ㎠/Vs 정도인데, 산화물 TFT의 경우에는 양산에 사용되고 있는 IGZO TFT의 경우 10 ㎠/Vs 내외이고 이보다 높은 이동도를 갖고 있는 IZTO 계열의 경우에는 30 ㎠/Vs 내외의 이동도를 보이고 있다. 이렇게 산화물 TFT가 LTPS TFT에 비하여 낮은 이동도를 보이는 특성을 극복하기 위한 다양한 연구가 진행되고 있다.

주로 연구되는 방향은 양이온으로 사용되는 금속원소를 변경하는 것이지만, 음이온을 변형하는 경우도 있었다. 주기율표에서 산소와 같은 계열에 있는 S를 사용하기도 하고, 다른 계열에 있는 N이 이용되기도 하였다. 가장 널리 알려진 경우는 ZnON과 같이 음이온을 O와 N의 혼합으로 사용한 경우이다. 이 경우는 N의 비중에 따라 밴드갭이 작아지는 단점이 있었지만, 이동도의 증가와 함께 산화물 반도체의 신뢰성 문제 중 가장 취약한 부분인 NBIS (negative bias illumination stress)에서의 불안정성이 개선된다는 장점이 있었다.[1] 그러나, ZnON의 결합 상태가 안정적이지 않아 신뢰성 등에서 개선할 부분이 있으며 밴드갭의 감소에 따른 누설 전류의 증가도 해결해야 할 과제라 할 수 있다.

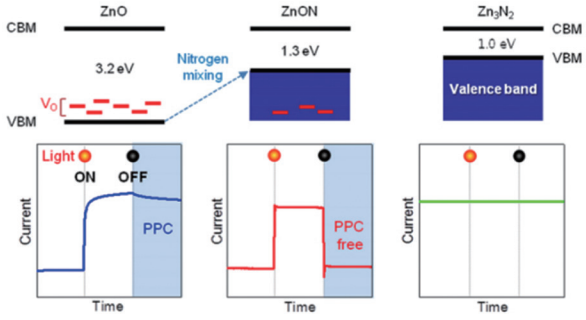

그림 2. ZnO와 ZnON, Zn_3N_2의 밴드갭 변화와 이에 따른 광반응성의 차이[1]

금속 원소를 사용하는 경우에 이동도 증가 역할을 하는 것으로 알려진 금속은 In이나 Sn이다. 즉 투명 전도막으로 가장 널리 사용되고 있는 ITO의 금속원소들이다. 따라서 In, Sn만으로는 캐리어의 농도를 조절하기 어렵기 때문에 여러 원소와의 화합물을 만들어서 사용되고 있다.[2] In의 경우에는 상대적으로 낮은 온도에서 반도체 특성을 유지하는 것이 가능하여 저온 공정용으로 응용 예가 많이 보고되고 있는 반면, Sn의 경우에는 상대적으로 높은 온도에서의 열처리가 필요하다. 그리고, 화학적으로 안정한 장점이 있는 반면에 농도가 어느 이상으로 증가될 경우에는 습식 식각이 거의 불가능해지므로 농도를 적절히 조정할 필요가 있다.

이동도를 증가시키는 또 다른 방법으로는 소자의 구조를 변형하는 방법이 있다. 대표적인 방법이 더블 게이트를 사용하는 것이다. 즉, 액티브의 양쪽에 게이트를 형성하여 채널이 액티브의 양쪽에 모두 형성되도록 하는 것이다. 이 경우 엄밀한 의미에서 이동도가 증가하는 것은 아니지만, 전류 구동 능력이 향상되므로 효과 면에서는 이동도가 거의 2배 가까이 증대된다고 볼 수 있다. 한편 채널 전체에서 accumulation이 발생하도록 하게 되면, 이동도가 2배 이상 증대되는 경우도 있으며, 이를 bulk accumulation라고 명명하기도 한다.[3] 또 다른 방법으로는 채널층을 잘게 쪼개어 구동 전류를 늘리는 경우도 있다. 이 경우 잘게 쪼개어진 채널의 측면에서도 추가로 accumulation 현상이 발생하여 전류가 증대되는 것이라 설명되고 있으며, 이러한 방법을 통하여 이동도 80 ㎠/Vs를 달성하였다.[4]

또 다른 방법으로는 비정질 산화물 반도체를 결정화하여 이동도를 증대시키는 것이다. 일반적으로 산화물을 열처리 방법으로 결정화하기 위해서는 높은 온도가 요구되어 실용적이지 않으므로 다른 접근 방법이 필요하다. 채널의 상부층에 금속을 증착하고 이를 열처리함으로써 비교적 저온에서 결정화를 유발하고 이를 통해 이동도 54 ㎠/Vs를 달성한 사례도 보고되었다.[5]

일반적으로 우수한 특성의 산화물 반도체는 스퍼터링 방법으로 형성되는 것으로 알려져 있지만, 최근 원자층 증착법 (ALD)를 이용하여 우수한 성능의 산화물 반도체 박막을 형성하는 연구가 보고되고 있다. ALD 방법은 원자층 레벨에서 조성을 조정할 수 있기 때문에 다중원소화합물인 산화물 반도체에서 미세한 조성 조정이 가능한 장점이 있다. 최근 이러한 ALD 방법을 이용하여 IGZO 채널층을 증착할 때 성분비를 최적화하여 74 ㎠/Vs인 높은 이동도를 얻었다.[6]

2.2. 초단채널 산화물 TFT 기술

산화물 TFT 개발 초창기부터 채널 길이 50 nm와 같은 초단채널에 대한 보고가 있었다.[7] 이때 초단채

널에서도 산화물 TFT에서는 단채널 현상이 발생하지 않는 것이 알려졌다. 이러한 현상을 이용하여 반도체 공정과 산화물 반도체를 적용하여 IC 제작이 가능함을 보인 결과들도 있었다.[8] 이때 누설 전류가 작은 산화물 반도체의 특성을 이용하여 저전력 IC가 가능함을 보여주었다. 한편 산화물 TFT가 상대적으로 저온에서 형성이 가능하므로 Si CMOS 상부에 공정이 가능하여 이를 이용하여 CIS (CMOS Image Sensor)에 적용한 결과도 있었다.[9] 최근에는 EOT (equivalent oxide thickness)가 0.8 nm인 HfO_X를 게이트 절연막으로 사용하고 4 nm 두께의 ITO 박막을 채널층으로 적용한 40 nm의 채널 길이를 가지는 산화물 TFT가 보고되기도 하였다.[10]

그림 3. SEL에서 60 nm CAAC IGZO TFT를 이용하여 개발한 529 1ppi OLED display 패널[11]

초단채널 산화물 TFT는 초고해상도 디스플레이 개발에도 활용이 가능하다. 반도체 공정에 사용되는 노광기술을 활용하여 일본의 SEL은 5291 ppi의 초고해상도 AMOLED를 제작하였다.[11] 이 때 사용된 산화물 TFT의 채널 길이는 60 nm이다. 이러한 초고해상도 AMOLED는 AR/VR에 필요한 마이크로 디스플레이용 패널로 사용될 수 있다.

한편, 궁극의 3D로 불리우는 홀로그램 디스플레이를 위해서는 초고해상도 공간광변조기 기술 개발이 필요하며, ETRI에서는 산화물 반도체를 이용하여 1 μm 픽셀피치의 공간광변조기를 개발하였다. 특히 이 경우에는 픽셀 내에서 데이터 배선, TFT, 액정 전극을 수직으로 적층한 VST (Vertically Stacked TFT)를 적용하여 0.5 μm의 채널 폭을 가진 산화물 TFT를 기반으로 1 μm 픽셀 피치를 구현하였다.[12]

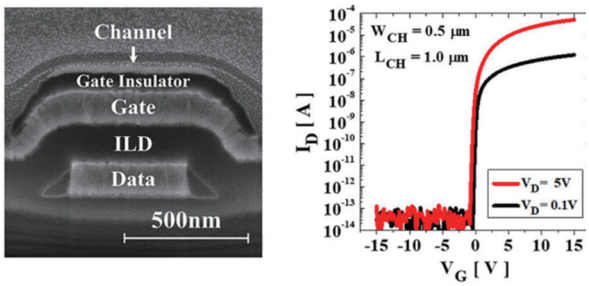

그림 4. ETRI에서 개발한 0.5 μm 채널 폭을 가진 VST 구조와 소자 특성[12]

산화물 TFT는 밴드갭이 넓기 때문에 한 종류의 캐리어만 존재하고, 전계에 의한 터널링이 발생할 가능성이 적어 Si 반도체에 비하여 단채널 효과가 발생할 가능성은 적다. 그러나, 산화물 TFT에서 소스/드레인 전극과 채널층의 계면 영역에서 저항이 낮은 계면층이 형성될 가능성이 높은데, 이러한 계면층의 형성은 채널 길이가 작을수록 상대적으로 채널 길이에 미치는 영향이 커지기 때문에 주의하여야 한다. 이러한 계면층의 형성은 열처리에 따른 영향이 크기 때문에, 통상적으로는 단채널 산화물 TFT는 저온 공정으로 제작되게 되어, 열처리 부족에 따른 안정성 문제를 가지고 있을 수 있으므로 이를 극복하기 위한 소재 측면에서의 연구도 병행되어야 한다. 또한, 작은 채널 면적에 많은 전류가 집중되는 경우 산화물 채널 자체의 변성이 생길 수도 있어 구동 안정성를 확보하는 것도 연구되어야 할 방향 중 하나이다.

초단채널을 형성하기 위한 하나의 방법으로 수직채널 TFT가 산화물 TFT에서도 연구되었다.[13] 수직 채널 TFT에서는 채널의 길이를 증착되는 절연막층의 두께로 조정이 가능하여 1 μm 이하의 초단채널 형성을 비교적 쉽게 이루어낼 수 있다. 또한, 수직채널 TFT는 TFT가 차지하는 layout상에서의 면적 또한 매우 작아 초고집적 디스플레이에 응용될 수 있다.[14] 이러한 수직 채널 TFT에서도 앞서 설명한 ALD 방법이 게이트 절연막이나 채널층의 증착공정에 적용되고 있다. 이렇게 다양한 증착 방법을 적용하여 소자 구조를 원하는 형태로 바꿀 수 있는 것도 산화물 TFT의 장점이라 할 수 있다.

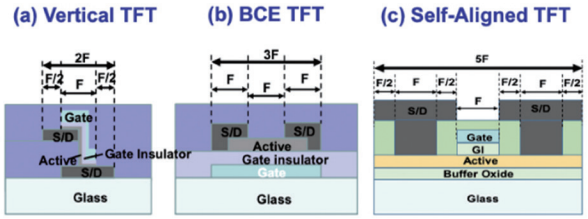

그림 5. KAIST에서 개발한 수직 채널 TFT의 레이아웃상의 장점[14]

2.3. p형 산화물 TFT 기술

Active Matrix 방식의 디스플레이의 구동을 위한 고성능 박막 트랜지스터 소자로 사용되는 n형 산화물 반도체 TFT의 비약적인 발전에 힘입어, 저 소비전력 디스플레이 내장 구동 회로 및 다기능 유연 전자 회로를 구현하기 위한 방안 중의 하나로 산화물 반도체 소재 기반 p형 TFT의 개발이 새롭게 조명 받고 있다. 트랜지스터 구현을 위한 다양한 소재가 탐색 되었던 1960년대 초반에, 한 종류의 반도체 소재에 다른 물질을 도핑하여 Complementary Metal Oxide Semiconductor (CMOS) 구현을 가능하게 함으로써 트랜지스터를 이용한 논리 회로 구현 및 집적 회로 구현이 용이하게 됨에 따라 이 때까지 난무하던 트랜지스터 소재 세계를 천하 통일할 수 있었던 Si의 영광을, 저온 공정이 가능한 산화물 반도체 소재에서 재현함으로써 디스플레이뿐만 아니라 반도체 영역으로 그 응용 영역을 넓히고자 하는 시도라 볼 수 있다. 그러나, 사실 p형 전도도를 갖는 투명 산화물 반도체는 2003년 및 2004년에 각각 Science지 및 Nature지에 발표되어 오늘날의 산화물 반도체 TFT 영역을 개척한 동경공대 호소노 교수 그룹의 InGaZnO 보다 앞선 1997년에 이미 동일 그룹에 의하여 Nature지에 소개되었음에도 ($CuAlO_2$) 불구하고,[15] 20여 년이 지난 현재까지도 아직 그 성능은 n형 반도체에 크게 미치지 못하고 있다. 이는 재료적으로 산화물 반도체에서 금속과 산소의 결합 Network에 의해 형성된 Conduction Band Minimum (CBM)의 경우 금속 양이온의 s-orbital 특성을 갖게 되어 편재성 (delocalization)이 강한 반면, Valence Band Maximum (VBM)의 경우 산소 음이온의 p-orbital 특성을 갖음으로써 국재성(localization)이 강한 성격에 기인하는 바가 크다고 볼 수 있다. 따라서 p형 반도체로써 산화물 반도체의 재료적 취약함을 극복하기 위한 노력으로 VBM의 국재성을 개선하기 위하여 크게 두 가지 방안이 시도되어 왔다. 이는 산소 음이온의 p-orbital 에너지 준위와 금속 양이온의 d-orbital 혹은 s-orbital의 에너지 준위를 맞춤으로써 VBM에 금속 원자 전자 궤도 성격을 갖게 하여 VBM의 유효 질량을 낮추는 것이다.[16]

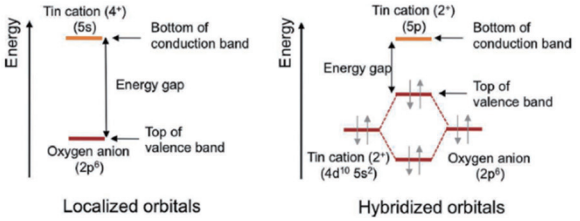

그림 6. 산화물 반도체에서 금속 양이온의 산화 상태에 따른 가전도대 전자 궤도의 편재성 혹은 국재성 상태 개념도[16]

전자의 경우 전이 금속 (Transition Metal) 계열의 Cu_2O 및 NiO, 후자의 경우 후전이금속 (Post-Transition Metal)인 SnO가 주로 연구되었다. Cu_2O의 경우 2010년 중국 우한 대학의 G. Fang 그룹에서 스퍼터링 공정으로 박막을 증착하여 전계 이동도 4.3 ㎠/V · s, 문턱 전압 −0.8 V, Subthreshold Swing 0.18 V/dec, On/Off ratio 3×10^6의 고무적인 우수한 성능을 발표하였으나,[17] HfON의 고유전율 게이트 절연막과 500도의 고온 공정을 적용한 측면에서 추가적인 연구 개발이 필요한 실정이다. SnO의 경우 2013년 사우디라아라비아의 KAUST 대학의 Alshareef 교수 그룹에서 역시 스퍼터링 공정을 이용하여 Hall 이동도 18.71 ㎠/V · s, 전계 효과 이동도 6.75 ㎠/V · s의 고무적인 결과를 얻었으나 On/Off ratio가 10^4에도 미치지 못하는 등 추가적인 성능 개선이 필요한 상황이다.[18] Cu_2O 및 SnO의 경우 이렇듯 초기 고무적인 결과에도 불구하고 아직 그 성능이 실용화 단계에 이르지 못하고 있는 이유는 p형 반도체가 되기 위한 금속의 이온화 상태가 열역학적으로 안정하지 못하기 때문인데 +1가 이온의 Cu (Cu^{+1})의 경우 금속 Cu 및 +2가의 Cu (Cu^{+2})으로, +2가의 Sn의 경우 금속 Sn 및 +4가의 Sn (Sn^{+4})으로의 분해 반응 (Disproportionation Reaction)이 주변의 화학적 환경 혹은 공정 온도에 의해서 쉽게 일어나는 것에 기인한다. 따라서 의도한 바와는 다르게 박막 내에 금속성 Cluster가 형성되거나 전기적으로 n형 반도체 성격을 띠는 CuO 혹은 SnO_2가 형성되어 hole carrier 농도의 감소 혹은 On/Off ratio의 감소가 이동도 증가와 더불어 수반되는 것이 현재까지 수많은 p형 산화물 반도체 연구들의 일반적인 결과라고 할 수 있다.[19]

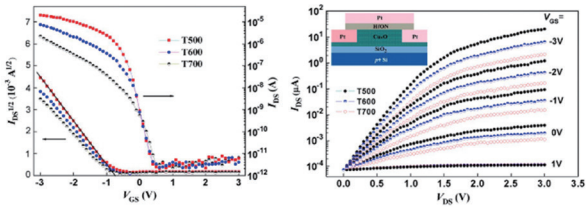

그림 7. Cu_2O 박막을 이용한 p형 산화물 반도체 박막 트랜지스터 결과[17]

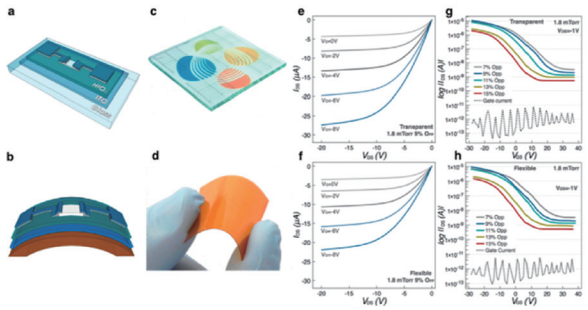

그림 8. SnO 박막을 이용하여 Glass 및 플렉시블 기판 위에 구현한 p형 산화물 반도체 박막 트랜지스터 결과[18]

산화물 반도체의 VBM의 국재성을 개선하기 위한 또 다른 시도는 $CuAlO_2$, $CuInO_2$, $SrCu_2O_2$, LnCuOCh와 같은 Delafossite 계열의 초격자 구조를 도입하거나,[20] 산소와 동족 원소이면서 원자 반경이 큰 Se, Te과 같은 Chalcogen을 산소와 치환하여 산화물 반도체 내에 도입하는 것이다.[16] 최근 한양대 정재경 교수 그룹에서 RF Sputtering 공정을 이용하여 SnSeO에서 Hall 이동도 15.0 ㎠/V · s, 전계 이동도 5.9 ㎠/V · s 그리고, On/Off ratio 3×10^2의 결과를 발표하였다.[21] NiO의 경우 최근 경희대 장진 교수 그룹에서는 280미만의 저온 공정으로 Sn을 dopant로 이용하여 Sn이 없는 NiO 보다 Sn: NiO의 경우 이동도가 3배 이상 증가하는 현상을 관측하였으나, 전계 이동도 0.97 ㎠/V · s, On/Off ratio ~10^5의 결과를 보고 하였다.[22] P형 산화물 반도체 소재 탐색을 보다 용이하게 하기 위하여 용액 공정을 이용한 박막 트랜지스터 제조 연구도 활발하게 진행되고 있으며,[23] 최근에는 박막의 조성 및 두께의 정확한 제어를 위해 원자층 증착법 (ALD) 기법을 산화물 반도체에 적용하려는 시도가 활발하게 전개되고 있다.[24] 또한, 최근 이론 계산 발전에 힘입어 개발된 고속 물질 탐색 기법을 이용한 소재 탐색 연구가 활발하게 전개되고 있는데 p형 산화물 반도체의 경우에도 소재의 근본적인 재료적 한계를 극복하고자 이에 대한 연구가 활발하게 진행되고 있으며,[25, 26] 이를 통해 제안된 소재에 대한 실험 연구를 통해서 P형 산화물 반도체 TFT 성능의 비약적인 도약이 조만간 실현될 수 있을 것으로 기대된다.

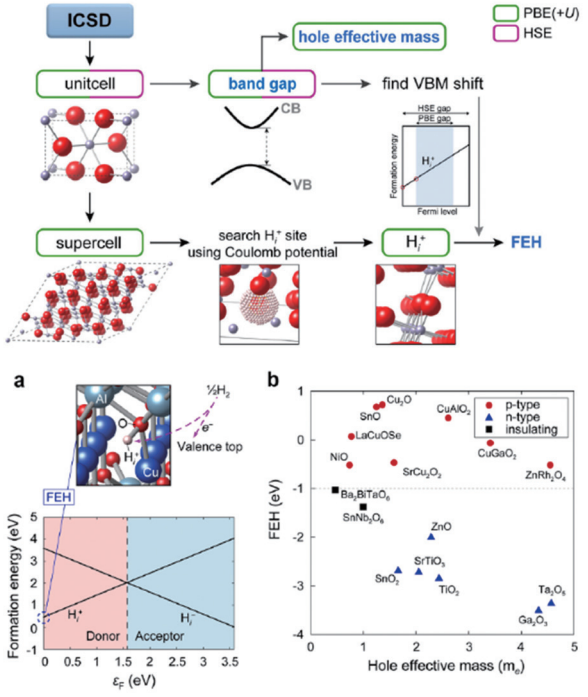

그림 9. 제일 원리 계산법에 바탕을 둔 대량 물질 선별법을 이용한 p형 산화물 반도체 탐색 결과[26]

마지막으로 III-V 족 반도체 및 n형 산화물 반도체 개발의 경험에서 얻을 수 있었듯이 성공적인 p형 산화물 반도체 박막 트랜지스터를 제조하기 위해서는 반도체 박막 내 수소의 함량을 제어하는 방안이 필수적으로 고려되어야 할 것으로 보인다. III-V족 반도체의 경우 수소는 Fermi level이 높을 경우 p-type dopant로 작용하나, p-type 반도체와 같이 Fermi-level이 낮을 경우 n-type dopant로 작용하여 hole carrier와 재결합하게 되며, 산화물 반도체의 경우에는 Bandgap 내의 거의 모든 Fermi 에너지 준위에서 n-type dopant로 작용하는 것으로 알려져 있기 때문이다.[27]

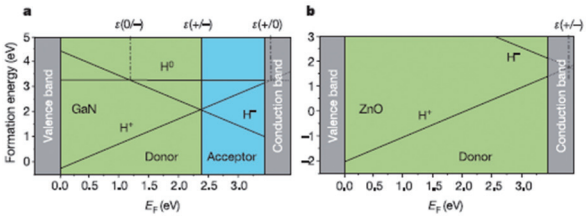

그림 10. 화합물 반도체의 밴드갭 내 Fermi 에너지 준위에 따른 침입형 수소 불순물 형성 에너지의 변화 (a) GaN (b) ZnO[27]

3. 산화물 TFT의 기능성 향상 기술

3.1. 센서용 산화물 TFT 기술

센서로의 응용 측면에서 TFT는 수동소자에 비하여 감도 조절 등 고성능화가 가능한 장점이 있다. 산화물 TFT도 이러한 장점을 활용하여 센서로의 응용도 최근 점점 증가하고 있는데, 금속 산화물 반도체 자체가 가지는 특성을 이용한 경우도 있고, 게이트 절연막과 같이 산화물 TFT를 구성하고 있는 박막층에 기능성을 부여하는 경우도 있다. 산화물 TFT는 이러한 기능성 박막을 구성하기 쉽도록 공정온도, 증착법 등에서 자유도가 높은 편이다.

산화물 반도체 자체가 가지는 외부 자극에 대한 반응성을 이용하여 센서로 응용하는 경우가 있다. 우선 산화물 반도체는 밴드갭이 크므로 가시광선보다 짧은 파장을 가지는 UV에 대하여 광반응성을 가지고 있어 UV 센서로 사용되기도 한다.[28] 그런데, 산화물 반도체 금지대 내에도 결함 상태가 존재하므로 밴드갭 에너지 이하의 에너지를 가지는 빛에도 반응하기도 한다. 특히 이러한 목적으로 밴드갭내 상태를 증가시켜서 가시광 영역에 대한 광센서로 사용하는 경우도 있다.[29] 다만, 이러한 경우에 흡수된 빛에 의하여 증가된 캐리어들이 빛이 사라진 경우에도 즉시 재결합으로 사라지지 않고 광전류가 유지되는 PPC (Persistent Photo Current) 현상이 발생하는 경우가 많다. 실제 센서로 이용할 경우 이러한 PPC는 실제 빛에 의한 광전류와 혼동될 가능성이 있어 별도의 구동 시그널 (대개는 양의 게이트 펄스)을 이용하여 제거하게 된다.[29]

그리고, 산화물 반도체는 TFT의 응용 이전에도 특정한 가스에 대한 센서로 이용되고 있었다. 이러한 특성을 이용하여 산화물 반도체에 특정한 공기 분자가 흡착된 경우 전하의 이동에 의하여 산화물 반도체의 전도도가 바뀌는 현상을 TFT 특성 변화로 감지하여 가스 센서로 이용되기도 한다.[30]

다음으로는 게이트 절연막에 기능성을 부여하는 경우이다. 게이트 절연막으로 압전 특성을 가지는 강유전층을 적용한 경우 외부 압력에 따라 발생하는 분극의 영향으로 계면에 전하가 유도되고 이에 의하여 산화물 TFT의 특성에 변화가 발생하게 되어 센서로 작용하게 된다.[31]

게이트를 외부 자극으로 하고 게이트 절연막 표면에 적절한 처리를 통하여 외부 자극을 감지하는 경우도 있다. 이때 게이트 전압에 의하여 매우 민감하게 외부 자극에 대하여 반응하도록 설정하면 매우 높은 감도의 센서로 작동할 수 있다.[32] 이러한 경우에도 산화물 TFT 자체의 낮은 누설 전류가 감도를 증가시키는데 큰 역할을 한다.

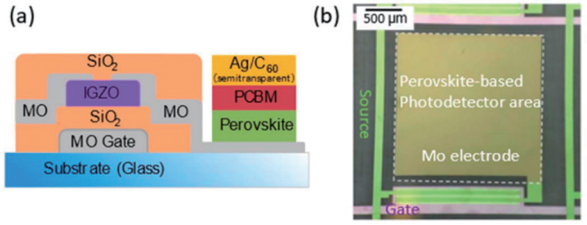

그림 11. 북경대에서 개발한 산화물 TFT와 페로브스카이트 포토센서를 이용한 X선 센서[33]

산화물 TFT가 센서 자체로 작동하지는 않지만, 센서의 시그널을 읽어내는 데 사용되기도 한다. 특히 대면적 센서 어레이를 형성하는 경우 TFT 자체의 대면적화 및 고성능화가 필요한데, 비정질 실리콘보다 높은 이동도를 가지면서도 대면적화가 용이한 산화물 TFT의 특성이 유리한 측면으로 작용할 수 있다. 대표적인 경우가 디지털 X선 센서이다. 디지털 X선 센서를 구현하기 위해서는 대면적 TFT 어레이가 필요한데, 지금까지는 주로 비정질 실리콘 TFT가 사용되었다. 최근에는 산화물 TFT를 이용한 제품이 등장하고 있는데, 상대적으로 높은 이동도를 이용하여 고속동작, 고감도 등 특성 개선이 이루어지고 있다.[33]

또한 산화물 TFT는 산화물 반도체가 가시광선 영역에서 투명하기 때문에 투명 전극을 배선 전극으로 사용하면 투명 센서 어레이를 구현할 수 있다. 디스플

그림 12. ETRI에서 개발한 투명 산화물 TFT 기반의 투명 지문센서[34]

레이 상부에 집적이 필요한 투명 터치 센서나 투명 지문센서 등의 경우에는 이러한 투명특성을 이용하여 구현되기도 한다.[34]

3.2. 시냅스용 산화물 TFT 기술

최근 들어 인공지능에 대한 기술적 진보가 크게 이루어지면서 인공신경망에 대한 연구 또한 활발해지고 있다. 현재까지 상용화된 인공신경망 소자는 신경망 구조를 회로나 알고리즘 형태로 구현한 것인데, 이를 하드웨어 측면에서 소자 레벨로 구현하는 것이 궁극적으로는 최소의 에너지로 효과적인 인공 신경망을 구현하는 방법으로 알려져 있다.

생물의 신경망은 뉴론과 시냅스로 이루어져 있으므로, 인공신경망을 구현하기 위해서는 인공 뉴론과 인공 시냅스를 구현하여야 한다. 아직까지는 인공 시냅스에 대한 연구가 더 활발히 이루어지고 있다. 시냅스는 그 특성 (주로 저항 특성)이 가역적으로 변화되어야 하고, 이러한 변화는 STDP (spike timing dependent plasticity)와 같은 rule에 따라 변화되어야 한다. 가장 많이 사용되는 시냅스 구조는 금속 산화물을 사이에 두고 양쪽에 금속 전극이 형성되어 있는 형태이다. 그런데 이러한 간단한 2단자 소자 이외에 트랜지스터와 같은 3단자 소자가 사용되기도 한다. 3단자 소자는 앞서 센서의 경우와 마찬가지로 구조는 복잡해지지만, 특성 조절에 대한 가능성이 높아지는 장점이 있다. 즉, 2단자 소자의 경우는 학습과 데이터 신호 전달에 같은 단자가 사용되기 때문에 학습 과정이 복잡하고 학습과정이 데이터 신호 전달에 의해 영향을 받게 된다. 3단자 소자의 경우 대개 게이트 전극을 통하여 학습이 진행되고, 소스/드레인 단자를 통하여 데이터 신호 전달이 이루어지기 때문에 데이터 신호 전달과 무관하게 학습 알고리즘을 수행할 수 있다.

산화물 TFT를 시냅스 소자로 이용하는 경우에 가역적인 변화를 보이는 층에 따라 종류를 나눌 수 있다. 크게 산화물 TFT의 채널층으로 사용되는 산화물 반도체가 보이는 가역적인 변화 (결함 생성 등)를 이용하는 경우와 게이트 절연막의 가역적 특성 변화를 사용하는 경우로 나눌 수 있다. 최근에는 산화물 반도체가 빛에 의하여 특성 변화가 있는 점을 이용한 연구도 보고되고 있다. 이 경우에는 UV 영역의 빛의 조사에 따른 PPC 현상을 이용하고 있으며, 게이트 전압 펄스에 의한 변화와 UV 펄스에 의한 변화의 조합을 통하여 IPSC (Inhibitory PostSynaptic Current)와 EPSC (Excitatory PostSynaptic Current)를 만들어 낼 수 있음을 보였다.[35] 이 경우에 산화물 반도체의 조성을 변화시켜 전도도의 변화를 유발할 수 있는 빛의 파장을 낮추어 UV가 아닌 가시광선이나 NIR 영역의 빛을 이용하는 연구 결과도 있다.

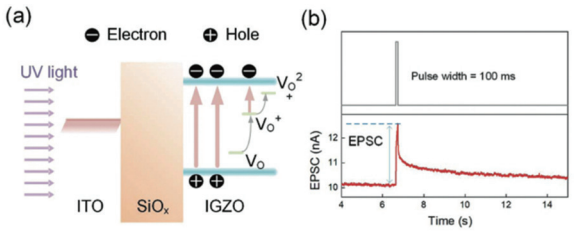

그림 13. 산화물 TFT에서 UV에 의한 PPC 현상을 이용한 EPSC 특성[35]

게이트 절연막의 특성 변화를 이용하는 경우에는 게이트 절연막으로 금속 산화막을 사용하고, 이러한 금속 산화막내 산소 vacancy의 이동을 게이트 전압에 의하여 유발하는 방식이 적용되기도 한다. 즉, 게이트 전계에 의하여 산소 vacancy와 산소 이온의 이동을 유발하고 이들이 분리되거나 재결합되면서 게이트 절연막내에 있는 전하의 양과 위치가 변화되게 된다.[36] 또 다른 방법으로는 고체 전해질 절연막을 사용하는 경우이다. 이온 폴리머 절연막의 경우에는 스핀 코팅 방법으로 쉽게 형성이 가능하며 전해질 내에 있는 금속 이온들의 이동을 제어함으로써 채널층의 전도도를 조정할 수 있다.[37, 38]

이 밖에 HfO_X와 같은 강유전체 절연막을 이용하여 장기간 유지가 가능한 변화를 유발하고 이를 UV 조사

를 통하여 제거하는 방식도 존재한다.[39]

이렇게 다양한 방법으로 시냅스 특성을 보이는 방법은 가능하나, 최종적으로는 매우 작은 에너지 펄스로 제어 가능하며, 인가 펄스에 따른 변화가 선형성을 보이도록 하는 등 특성의 개선이 필요하고, 시냅스 어레이를 집적하고 이를 뉴론 소자와 연결하여 실제로 적용 가능한 인공 신경망을 구성하기 까지에는 많은 연구가 필요하다고 생각된다.

4. 산화물 TFT를 이용한 하이브리드 기술

4.1. LTPO 기술

LTPO는 LTPS TFT의 우수한 이동도 특성과 산화물 TFT의 낮은 누설 전류 특성을 조합하여 회로나 픽셀을 구성하는 방식이다. 디스플레이 분야에서 이렇게 서로 다른 종류의 TFT를 하이브리드 형태로 양산에 적용된 사례는 거의 없었다. 일반적으로는 비용이 많이 들 뿐만 아니라, 공정상 서로 다른 특성을 가지는 TFT를 조합하는 것이 쉽지 않기 때문이다. LTPS TFT와 산화물 TFT의 경우에도 열처리 온도가 서로 다르고, 수소의 영향과 같이 열처리 시 환경에 따른 효과가 서로 다르기 때문에 집적 공정 개발 시 유의할 필요가 있다. 애플이 제안한 방법은 고온 공정이 필요한 LTPS TFT를 먼저 형성하고 그 위에 상대적으로 저온 공정이 가능한 산화물 TFT를 형성하는 방법이다. 또한 Top gate 구조가 사용되는 LTPS TFT와 Bottom Gate 구조가 사용되는 산화물 TFT의 구조적 특징을 활용하여 LTPS TFT의 전극 층과 산화물 TFT의 전극 층을 공유하도록 구성하였다. LTPO가 처음 적용된 사례는 애플워치의 픽셀 영역이다. 스마트워치는 웨어러블 기기 중 가장 성공적으로 상용화된 제품중의 하나인데, 문제점으로 지적되었던 부분은

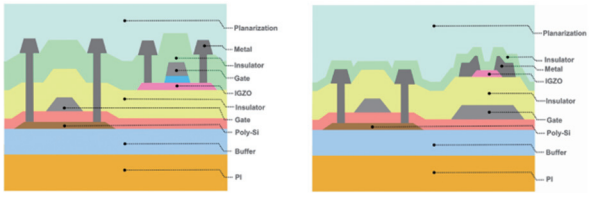

그림 14. 산화물 LTPO를 구성하는 방법 중 Top gate 구조를 이용하는 경우 (좌)와 bottom gate 구조를 이용하는 경우 (우)[40]

잦은 충전 주기였다. 이를 극복하기 위해서는 소비전력을 줄여야 하는데, 애플워치에서 소비전력을 크게 차지하는 디스플레이 패널 부분에서 구동 전력을 줄이고자 하였다. 그 결과 줄어든 배터리 사용량을 활용하여 AOD (always on display)를 애플워치에서 구현하였다.[40]

LTPO를 적용하는 방법으로는 애플워치에서 제시된 바와 같이 픽셀 회로 내에서 LTPS와 산화물 TFT를 동시에 활용하는 방법도 있지만, 픽셀 영역은 누설 전류가 적은 산화물 TFT로 모두 구성하고, 주변 회로는 높은 이동도를 가지는 LTPS TFT를 활용하는 방법도 있다. 이 경우에는 공정상의 난이도를 줄이면서 각각 TFT의 장점을 활용할 수 있는 장점이 있다.

향후에도 두 가지 TFT의 장점을 활용할 수 있는 LTPO의 적용 범위는 넓어질 수 있을 것으로 예측되며, 픽셀 영역뿐만 아니라 회로 영역에도 LTPO 형태의 적용이 될 가능성도 있다. 향후 일반적인 산화물 TFT 이외에 메모리 산화물 TFT 등 특수한 기능을 가지는 산화물 TFT를 집적하는 경우도 예상해 볼 수 있다.

4.2. Si CMOSFET과의 하이브리드 기술

앞서 초단채널 산화물 TFT에서도 Si 반도체와 함께 산화물 TFT를 사용하는 것이 가능함을 언급했지만, 최근 반도체의 집적도가 계속 높아지면서 FEOL (Front End of Line) 영역에서의 scaling에 따른 BEOL (Back End of Line) 영역에서의 집적도 향상도 이슈가 되고 있다. 특히 인공신경망칩에서는 뉴론 사이의 연결이 매우 많아야 하므로 이러한 이슈는 점점 커지고 있다. 이를 해소하기 위하여 BEOL 영역에 TFT를 형성하여 회로를 단순화하는 방안이 제시되고 있다. 이때 필요한 TFT의 필요조건은 BEOL 공정 온도에 해당하는 400도 이하의 낮은 공정온도와 이동도, 낮은 누설 전류, complementary 회로 구현 등이며 산화물 TFT는 이러한 조건 중 complementary 회로를 제외하고는 모두 만족하므로 활발한 연구가 이루어지고 있다.

이러한 이슈 이외에 on-chip에서 높은 전압에 대한 I/O 제어를 위하여 산화물 TFT를 이용하는 경우도 보고되었다. 이 경우에는 배선 전극과 배선 보호 절연막을 이용하여 산화물 반도체를 증착하고 패턴하는 간

단한 공정의 추가만으로 쉽게 TFT를 형성하는 장점을 활용하기도 한다.[41]

4.3 M3D용 산화물 TFT 기술

최근 실리콘 기반 집적 회로 기술의 경우 현재 삼성은 7 nm node, 대만 TSMC는 5 nm node의 공정을 양산에 적용하는 등 2차원 집적에 있어서 거의 한계 지점에 도달하고 있는 상황이다. 또한 Si 기반 미세 소자의 경우 누설 전류에 따른 높은 대기 소비전력과 발열 이슈가 발생하는 등 미세 공정 측면에서뿐만 아니라 및 소자 성능 측면에서도 디바이스 집적도 향상에 따른 성능 개선이 한계에 다다르고 있는 상황이며 이를 극복하기 위한 방안으로 10여 년 전부터 3차원 집적을 시도하고 있으며 아래 그림에서 보는 바와 같이 현재 삼성에서는 메모리 소자를 8층까지 쌓아 올린 광대역 메모리 (High Bandwidth Memory, HBM)를 시판하고 있으며 2019에는 12층까지 쌓아 올린 메모리 개발에 성공했다고 발표한 바 있다. 이러한 3차원 집적 소자의 경우 개발 초기에는 층간 소자 연결을 위해 와이어 본딩 기술을 적용하였으나 각 층간 소자 간 신호 연결을 위한 배선 길이 증가에 따른 RC delay 등의 이슈를 극복하고자, 현재는 소자를 완성한 후 수 십 μm까지 얇게 식각한 후, 수 μm의 Via Hole을 통해 각 층간 소자를 연결하는 방법인 TSV (Through Silicon Via) 공법을 적용하고 있다.

그림 15. 광대역 메모리 제작 개념도 (출처: 삼성전자 Newsroom)

그러나 수 μm의 Via hole을 통해 각 층의 위치를 정확히 배열해야 하는 어려움으로 인하여 Via hole 밀도를 높일 수 없는 문제가 있으며 따라서 신호 delay 이슈를 완전히 극복하지는 못한 상황이다. 이러한 문제를 근본적으로 해결하려는 것이 단일 3차원 집적 공정 (Monolithic 3-Dimensional Integration, M3D)이다.

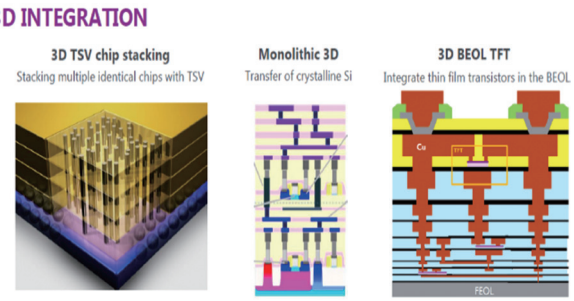

그림 16. 3차원 집적 공정 기술 (출처: iMEC)

즉, 하부 Si 소자가 형성된 웨이퍼 위에 저온 공정이 가능한 신규 반도체 소자를 집적함으로써 집적 층수의 제한을 제거하며, 소자 간 신호 delay 이슈를 극복하는 것이다. 이를 위해 저온 CMOS 공정 구현이 필수적이며 현재 CNT, 2D 반도체 및 산화물 반도체 등 다양한 신규 반도체 소자들의 적용 가능성을 탐색하기 위한 연구 개발이 일본의 반도체 에너지 연구소 (Semiconductor Energy Laboratory, SEL), 벨기에 Holst Center 및 네덜란드 IMEC 연구소를 중심으로 한창 진행되고 있다. 앞서 기술한 p형 산화물 반도체 개발이 성공될 경우 산화물 기반 CMOS 공정을 M3D 집적 공정에 적용하여 산화물 반도체만의 고유한 매우 낮은 누설 전류 특성을 활용함으로써 디바이스 성능의 비약적인 성능과 더불어 디바이스 소비전력을 대폭 낮출 수 있게 되어 향후 IoT 기반의 빅테이터 처리가 용이한 웨어러블 인공 지능 디바이스 구현을 가능하게 해 줄 수 있는 궁극적인 기술이 될 것으로 기대된다.

5. 맺음말

산화물 TFT는 최초 개발 이후로 짧은 기간 동안 집중적인 연구를 통하여 많은 기술이 축적되었으며, 산화물 TFT는 OLED TV 양산을 통하여 기술 개발의 첫 단계를 성공적으로 마무리했다고 볼 수 있다. 본고에서 살펴본 바와 같이 다양한 방향으로의 응용이 모색되고 있으니만큼 다음 단계로 도약할 수 있는 기회가 오고 있다고 생각된다. 다만, 이러한 도약을 위해서는 아마도 새로운 소재나 새로운 소자 구조 등이 요

구될 것이다. 우리나라가 세계적으로 산화물 TFT 분야에서 우수한 연구 역량을 보유하고 있으므로 앞으로의 기술적 도약도 이끌어 나갈 것을 기대해 본다.

참고문헌

[1] H.-S. Kim, S. H. Jeon, J. S. Park, T. S. Kim, K. S. Son, J.-B. Seon, S.-J. Seo, S.-J. Kim, E. Lee, J. G. Chung, H. Lee, S. Han, M. Ryu, S. Y. Lee, and K. Kim, *Sci. Rep*. **3**, 1459 (2013).

[2] Z. Lin, L. Lan, P. Xiao, S. Sun, Y. Li, W. Song, P. Gao, E. Song, P. Zhang, L. Wang, H. Ning, and H. Peng, *IEEE Electron Device Lett*. **37**, 1139 (2016).

[3] M. Mativenga, S. An, and J. Jin, *IEEE Electron Device Lett*. **34**, 1533 (2013).

[4] S. Lee, Y. Chen, J. Kim, H. Kim, and J. Jang, J. Soc. Inf. Display. 27, 507 (2019).

[5] Y.Shin,S.T.Kim,K.Kim,M.Y.Kim,S.Ohand J. K. Jeong, *Sci. Rep*. **7**, 1 (2017).

[6] J. Sheng, T. Hong, H.-M. Lee, K. Kim, M. Sasase, J. Kim, H. Hosono, and J.-S. Park, *ACS Appl. Mater. Interface*. **11**, 40300 (2019).

[7] [I. Song, S. Kim, H. Yin, C. J. Kim, J. Park, S. Kim, H. S. Choi, E. Lee, and Y. Park, *IEEE Electron Device Lett*. **29**, 549 (2008).

[8] T. Ohmaru, S. Yoneda, T. Nishijima, M. Endo, H. Dembo, M. Fujita, H. Kobayashi, K. Ohshima, T. Atsumi, Y. Shionoiri, K. Kato, Y. Maehashi, J. Koyama, and S. Yamazaki, *Proc. SSDM*, **1144** (2012).

[9] S. Jeon, S. Park, I. Song, J.-H. Hur, J. Park, H. Kim, S. Kim, S. Kim, H. Yin, U.-I. Chung, E. Lee, and C. Kim, *ACS Applied Materials & interface*, **5**, 1, (2011).

[10] S. Li, M. Tian, Q. Gao, M. Wang, T. Li, Q. HU, X. Li, and Y. Wu, *Nat. Mater*. **18**, 1091 (2019).

[11] S. Katsui, H. Kobayashi, T. Nakagawa, Y. Tamatsukuri, H. Shishido, S. Uesaka, R. Yamaoka, T. Nagata, T. Aoyama, K. Nei, Y. Okazaki, T. Ikeda, and S. Yamazaki, *Proc. SID*. **311** (2019).

[12] J. H. Choi, J.-H. Yang, J.-E. Pi, C.-Y. Hwang, Y.-H. Kim, G. H. Kim, H.-O. Kim, and C.-S. Hwang, *J. Soc. Inf. Display*. **50**, 319 (2019).

[13] C.-S. Hwang, S.-H. Ko Park, H. Oh, M.-K. Ryu, K.-I. Cho, and S.-M. Yoon, *IEEE Electron Device Lett*. **35**, 360 (2014).

[14] H.-I. Yeom, G. Mun, Y. Nam, J.-B. Ko, S.-H. Lee, J. Choe, J. H. Choi, C.-S. Hwang, and S.-H. Ko Park, *Proc. SID*, **820** (2016).

[15] H. Kawazoe, M. Yasukawa, H. Hyodo, M. Kurita, H. Yanagi, H. Hosono, *Nature* **389**, 939 (1997).

[16] E. Fortunato, P. Barquinha, R. Martins, *Adv. Mater*. **24**, 2945 (2012).

[17] X. Zou, G. Fang, L. Yuan, M. Li, W. Guan, X. Zhao, *IEEE Electron Dev. Lett*. **31**, 827 (2010).

[18] J. A. Caraveo-Frescas, P. K. Nayak, H. A. Al-Jawhari, D. B. Granato, U. SchwingenSchlogl, H. N. Alshareef, *ACS Nano* **7**, 5160 (2013)

[19] Z. Wang, P. K. Nayak, J. A. Caraveo-Frescas, H. N. Alshareef, *Adv. Mater*. **28**, 3831 (2016)

[20] 백승기, 조성운, 조형균, *Ceramist* **17**, 47 (2014).

[21] T. Kim, B. Yoo, Y. Youn, M. Lee, A. Song, K.-B. Chung, S. Han, J. K. Jeong, *ACS Appl. Mater. Interfaces* **11**, 20214 (2019).

[22] T. Lin, X. Li, J. Jang, *Appl. Phys. Lett*. **108**, 233503 (2016).

[23] J. W. Park, B. H. Kang, H. J. Kim, *Adv. Funct. Mater*. **30**, 1904632 (2020).

[24] J. -H. Lee, W. -H. Choi, T. Hong, M. J. Kim, J. -S. Park, *J. Vac. Sci. Technol. A* **36**, 060801 (2019).

[25] G. Hautier, A. Miglio, G. Cede, G. -M. Rignanese, X. Gonze, *Nat. Commun*. **4**, 2292, (2013).

[26] K. Yim, Y. Youn. M. Lee, D. Yoo, S. H. Cho, S. Han, *NPJ Comput. Mater*. **4**, 17 (2018).

[27] C. G. Van de Walle, J. Neugebauer, *Nature*, **423**, 626 (2003).

[28] D. Kumar, T. C. Gomes, N. Alves, L. Fugikawa-Santos, G. C. Smith and J. Kettle, *IEEE Sens J*. **20**, 7532 (2020)

[29] S. Jeon, S.-E. Ahn, I. Song, C. J. Kim, .-I. Chung, E. Lee, I. Yoo, A. Nathan, S. Lee, K. Ghaffarzadeh, J. Robertson, and K. Kim, *Nat. Mat*. **11**, 301 (2012).

[30] M. T. Vijjapu, S. G. Surya, S. Yuvaraja, X. Zhang, H. N. Alshareef, and K. N. Salama, *ACS Sens*. **5**, 984 (2020).

[31] D. Geng, S. Han, H. Seo, M. Mativenga, and J. Jang, *IEEE Sens. J*. **17**, 585 (2017).

[32] K. Ito, H. Satake, Y. Mori, A. C. Tseng and T. Sakata, *Sci. Technol. Adv. Mater*. **20**, 917 (2019).

[33] T. Zou, C. Chen, B. Xiang, Y. Wang, C. Lin, S. Zhang, and H. Zhou, *Proc. IEDM*. **174** (2019).

[34] W. Seo, J.-E. Pi, S. H. Cho, S.-Y. Kang, S.-D. Ahn, C.-S. Hwang, H.-S. Jeon, J.-U. Kim, amd M. Lee, *Sensors*. **18**, 293 (2018).

[35] N. Duan, Y. Li, H.-C. Chiang, J. Chen, W.-Q. Pan, Y.-X. Zhou, Y.-C Chien, Y.-H. He, K.-H. Xue, G. Liu, T.-C. Chang, and X.-S. Miao, N*anoscale*, **11**, 17590 (2019).

[36] P. B. Pillai and M.M. De Souza, *ACS Appl. Mater. Interfaces* **9**, 1609 (2017).

[37] Y.-M. Kim, E.-J. Kim, W.-H. Lee, J.-Y. Oh and S.-M. Yoon, *RSC Adv*. **6**, 52913 (2016).

[38] R. A. John, J. Ko, M.R. Kulkarni, N. Tiwari,

N. A. Chien, N. G. Ing, W. L. Leong, and N. Mathews, *Small* **13**, 1701193 (2017).
[39] J. Wang, Y. Li, C. Yin, Y. Yang, and T.-L. Ren, *IEEE Electron Device Lett*. **38**, 191 (2017).
[40] T.K. Chang, C.-W. Lin, and S. Chang, *Proc. SID* **545** (2019).
[41] K. Kaneko, N. Inoue, S. Saito, N. Furutake, and Y. Hayashi, *Symposium on VLSI Technology Digest*, **120** (2011).

저자약력

황치선

- 1987년 ~ 1991년 : 서울대학교 물리학과 학사
- 1991년 ~ 1993년 : KAIST 물리학과 석사
- 1993년 ~ 1996년 : KAIST 물리학과 박사
- 1996년 ~ 2000년 : 현대전자 메모리 연구소
- 2000년 ~ 현재 : 한국전자통신연구원 책임연구원

• 관심분야 : 산화물 TFT 및 FPD용 백플레인, 투명 디스플레이, 홀로그램용 SLM, 플렉서블 디스플레이

조성행

- 1990년 ~ 1996년 : 서울대학교 화학교육과 학사
- 1996년 ~ 1998년 : 서울대학교 화학과 석사
- 1998년 ~ 2003년 : 서울대학교 화학과 박사
- 2003년 ~ 2005년 : 일본 이화학연구소 (RIKEN) 박사후 연구원

• 2005년 ~ 2012년 : 삼성디스플레이 수석연구원
• 2012년 ~ 현재 : 한국전자통신연구원 책임연구원
• 관심분야 : 산화물 반도체 소재를 이용한 디스플레이 및 센서용 대면적 전자 소자를 위한 고이동도 및 고속 박막 트랜지스터 개발